

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-326568

(43) 公開日 平成4年(1992)11月16日

(51) Int.Cl.⁵

H 0 1 L 27/04
29/46

識別記号

庁内整理番号

C 8427-4M

R 7738-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-122408

(22) 出願日 平成3年(1991)4月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中村 稔

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 弁理士 尾川 秀昭

(54) 【発明の名称】 容量素子

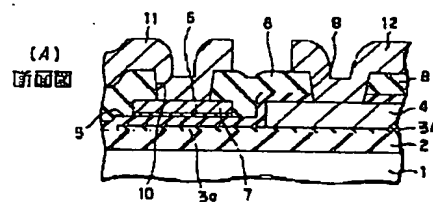
(57) 【要約】 (修正有)

【目的】 ICに形成されるMIM型の容量素子において、誘電体膜を薄くできるようにして単位面積当りの容量を大きくする。

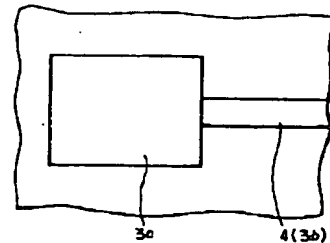
【構成】 半導体基板1上のフィールド絶縁膜2上に第1層目の高融点金属膜3(Ti, W, Mo, TiN, WSi, MoSi)からなる下側電極3aの部分上に誘電体膜5を形成し、他部分上に配線膜4を形成し、上記誘電体膜5上に第2層目の高融点金属からなる上側電極6を形成した。上側電極6の上面に形成されたAl膜7は層間絶縁膜8に対する選択エッチングにより上側電極6が侵食されるのを防止する。層間絶縁膜8にコンタクトホール9、10が形成され、また上側及び下側電極取出し用Al膜11、12が形成されている。

【効果】 熱処理しても高融点金属からなる電極にヒロックやボイドが生じないので誘電体膜を薄くでき、単位面積当りの容量を大きくできる。

実施例



(B)
平面図



- 3... 第1層目の高融点金属膜
- 3a... 下側電極
- 3b... 配線膜
- 4... 配線膜
- 5... 誘電体膜
- 6... 上側電極 (第2層目の高融点金属膜)

1

【特許請求の範囲】

【請求項1】 第1層目の高融点金属膜の下側電極となる一部上に誘電体膜が形成され、上記高融点金属膜の他部上に配線膜が形成され、上記誘電体膜上に第2層目の高融点金属からなる上側電極が形成されたことを特徴とする容量素子

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、容量素子、特にIC内に形成される容量素子に関する。

【0002】

【従来の技術】 IC内に形成される通常の容量素子は、図9の(A)に示すようにMIS構造を有していた。図面において、aはp型半導体基板、bはn型エピタキシャル層、cはp⁺型アイソレーション層、dは上記エピタキシャル層の表面部に形成されたn⁺型拡散層で、容量素子の下側電極を成す。eは絶縁膜fの開口gに形成された誘電体膜で、例えばLPSiN(減圧CVDにより形成されたSiN)あるいはSiO₂からなり、上記拡散層dに直接接している。

【0003】 hは絶縁膜fの別の開口g部に形成されたアルミニウムからなる電極膜、lは上記誘電体膜e上に形成されたアルミニウムからなる上側電極である。このようなMIS構造の容量素子は、寄生抵抗を下げるべく高濃度の拡散層dにより容量素子の下側電極を形成するが、 $10^{-3}\Omega\text{cm}$ 程度の寄生抵抗rができることは避け得ない。また、p型の半導体基板aとn型エピタキシャル層bとの間のpn接合によって $1\times 10^{-8}\text{F}/\text{cm}^2$ の寄生容量Caが生じるのも避け得ない。図9の(B)はMIS型容量素子の等価回路である。このように寄生抵抗、寄生容量が大きいと、周波数特性の向上を図ることが難しい。

【0004】 そこで、高周波用容量素子として図10に示すようなMIM構造の容量素子が開発された。この容量素子は、半導体基板aのフィールド絶縁膜f上にアルミニウムからなる下側電極kを形成し、該下側電極k上に誘電体膜lを介してアルミニウムからなる上側電極mを形成したものである。nは下側電極kの端子電極である。このような容量素子は、寄生抵抗が $3\times 10^{-8}\text{F}/\text{cm}^2$ 、寄生容量が $3\times 10^{-8}\Omega$ と、MIS型容量素子に比較して寄生抵抗、寄生容量が非常に小さく、その点で優れているといえる。

【0005】

【発明が解決しようとする課題】 しかしながら、MIM型の容量素子は、下側電極、上側電極としてアルミニウムあるいはアルミニウム系の金属を用いるので、下側電極、上側電極の形成後の熱処理によりヒロックやボイドが発生し、誘電体膜lを破ってしまい、下側電極kと上側電極mとの間がショートしてしまう恐れがあった。そこで、それを回避するために誘電体膜lの膜厚を厚くす

2

る必要があった。具体的には4000オングストローム以上の膜厚にする必要があった。しかし、誘電体膜の厚さをそのように厚くすると容量素子の単位面積当りの容量が小さくなり、延いては誘電体膜の占有面積が広くなるという問題があった。これはIC、LSI、VLSIの高集積化を阻む要因となるので好ましくないのである。

【0006】 本発明はこのような問題点を解決すべく為されたものであり、容量素子の単位面積当りの容量を大きくすることを目的とする。

【0007】

【課題を解決するための手段】 本発明容量素子は、第1層目の高融点金属膜の下側電極となる部分上に誘電体膜を形成し、他部上に配線膜を形成し、上記誘電体膜上に第2層目の高融点金属からなる上側電極を形成したことを特徴とする。

【0008】

【実施例】 以下、本発明容量素子を図示実施例に従って詳細に説明する。図1(A)、(B)は本発明容量素子の一つの実施例を示すもので、(A)は断面図、(B)は下側電極を示す平面図である。図面において、1は半導体基板、2はフィールド絶縁膜、3は第1層目の高融点金属膜で、例えば、チタンTi、チタンナイトライドTiN、タングステンW、モリブデンMo、タングステンシリサイドWSiあるいはモリブデンシリサイドMoSiからなる。3aは該高融点金属膜3のうちの下側電極部分、3bは高融点金属膜3のうちの配線膜部分である。

【0009】 4は第1層目の高融点金属膜3の配線膜部分上に形成されたアルミニウムからなる配線膜で、高融点金属膜3の配線膜部分3b上に形成されている。5は下側電極3a上に完全に覆うように形成された誘電体膜で、例えばプラズマナイトライドP-SiN、プラズマ酸化シリコンP-SiO₂、二酸化シリコンSiO₂、PSG等からなる。該誘電体膜5は例えば1000オングストローム程度に薄くされている。6は誘電体膜5上に形成された第2層目の高融点金属からなる上側電極で、上記下側電極3aに上記誘電体膜5を介して対向しており、該対向電極3a、6及びその間の誘電体膜5により本容量素子の主部(要部)である容量部が形成されている。

【0010】 7は上側電極6の上面に形成されたアルミニウム膜(あるいはシリコン含有アルミニウム膜)で、次に述べる層間絶縁膜8に対する選択的エッチングにより上側電極を成す高融点金属6が侵蝕されるのを防止する役割を果たす。即ち、エッチングストップとなるのである。9、10は層間絶縁膜8に形成されたコンタクトホール、11、12は上側電極、下側電極取り出し用のアルミニウム膜である。

【0011】 本容量素子によれば、誘電体膜5を挟んで

3

対向して要部を成す対向電極3a、6が高融点金属からなるので、対向電極形成後の熱処理によってヒロックやボイドが発生する虞れがない。従って誘電体膜5を従来のよりも相当に薄くしても対向電極3a・6間に短路事故が生じる虞れがない。依って、容量素子の単位占有面積当りの静電容量を大きくすることができ、延いては容量素子の小型化を図ることができる。具体的には、容量素子の主部である容量部の占有面積を比較すると従来のMIM型容量素子の4分の1程度にできる。

【0012】図2乃至図8は図1に示した容量素子の製造方法の一例を工程順に示す断面図である。

(1) シリコン半導体基板1上のフィールド絶縁膜2の表面に第1層目の高融点金属膜3を形成し、該高融点金属膜3上に第1層目のアルミニウム配線膜4を形成する。該配線膜4及び高融点金属膜3はスパッタリングにより形成する。図2は該配線膜4及び高融点金属膜3形成後の状態を示す。

【0013】(2) 次に、図3に示すように該配線膜4及び高融点金属膜3に対してウェットエッチングによりパターニングする。これは容量部の下側電極と該下側電極と接続される配線部分のみが残存するようにパターニングする。

(3) 次に、図4に示すように高融点金属膜3上の第1層目のアルミニウム膜4を、下側電極を形成すべき部分上に位置する部分を除きエッチングする。3aは第1層目高融点金属膜3のこのエッチングにより露出するに至った下側電極を示し、3bは第1層目のアルミニウム膜4下の部分を示す。

【0014】(4) 次に、例えばCVDにより図5に示すように誘電体膜5を形成する。

(5) 次に、図6に示すように第2層目の高融点金属膜6及び第2層目のアルミニウム膜7を形成する。

(6) 次に、図7に示すように第2層目の高融点金属膜6及び第2層目のアルミニウム膜7をパターニングする。これにより第2層目の高融点金属により上側電極6が形成される。

(7) 次に、図8に示すように層間絶縁膜8を形成する。

【0015】その後、該層間絶縁膜8を選択的にエッチングすることによりコンタクトホール9、10を形成し、その後、アルミニウム膜をスパッタリングにより形成し、しかる後、アルミニウム膜のパターニングにより

4

配線膜11、12を形成する。尚、層間絶縁膜8の選択的エッチングの際に、アルミニウム膜7は薄い高融点金属からなる上側電極6のエッチングを防止する保護膜(謂わばエッチングストップ)としての役割を果たすこと前述のとおりである。

【0016】

【発明の効果】本発明容量素子は、第1層目の高融点金属膜の下側電極となる一部上に誘電体膜が形成され、上記高融点金属膜の他部上に配線膜が形成され、上記誘電体膜上に第2層目の高融点金属からなる上側電極が形成されたことを特徴とするものである。従って、本発明容量素子によれば、対向電極が従来のようなアルミニウム膜ではなく高融点金属により形成されているので、対向電極形成後の熱処理により該対向電極にヒロックあるいはボイドが発生する虞れがない。従って、誘電体膜が薄くても対向電極間の短絡事故が起きなくなる。従って、誘電体膜を薄くすることができ、延いては容量素子の単位占有面積当りの静電容量を大きくすることができ、容量素子の小型化を図ることが可能となる。

【図面の簡単な説明】

【図1】(A)、(B)は本発明容量素子の一つの実施例を示すもので、(A)は断面図、(B)は下側電極及びそれに接続された配線膜を示す平面図である。

【図2】図1に示す容量素子の製造方法の一例の第1の工程を示す断面図である。

【図3】同じく第2の工程を示す断面図である。

【図4】同じく第3の工程を示す断面図である。

【図5】同じく第4の工程を示す断面図である。

【図6】同じく第5の工程を示す断面図である。

【図7】同じく第6の工程を示す断面図である。

【図8】同じく第7の工程を示す断面図である。

【図9】(A)、(B)は一つの従来例を示すもので、(A)は断面図、(B)は等価回路図である。

【図10】他の従来例を示す断面図である。

【符号の説明】

3 第1層目の高融点金属膜

3a 下側電極

3b 配線膜

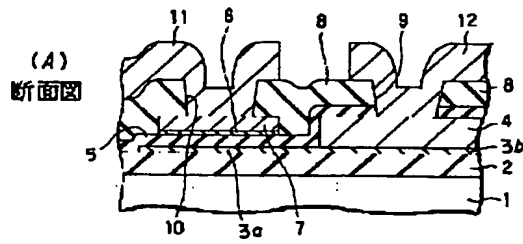
4 配線膜

5 誘電体膜

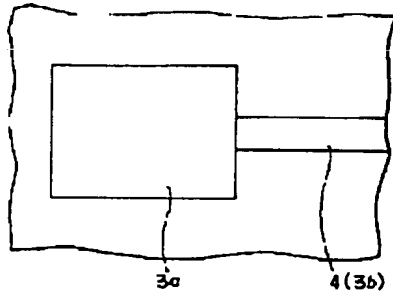
6 上側電極(第2層目の高融点金属膜)

【図1】

実施例



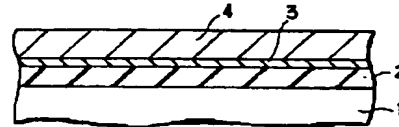
(B) 平面図



- 3...第1層目の高融点金属膜
 3a...下電極
 3b...配線膜
 4...配線膜
 5...誘電体膜
 6...上電極(第2層目の高融点金属膜)

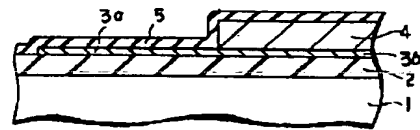
【図2】

第1の工程を示す断面図



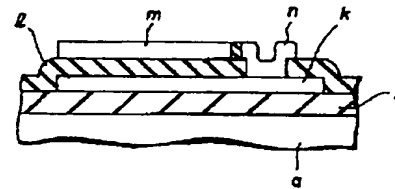
【図5】

第4の工程を示す断面図



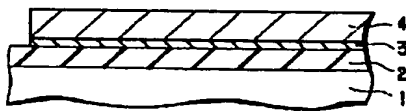
【図10】

他の従来例



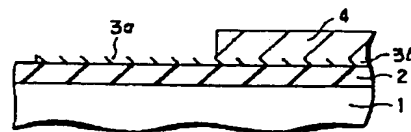
【図3】

第2の工程を示す断面図



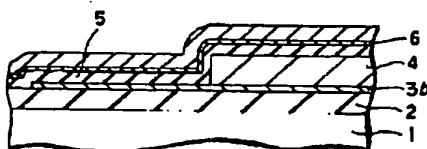
【図4】

第3の工程を示す断面図



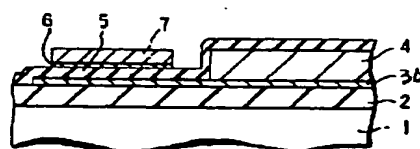
【図6】

第5の工程を示す断面図



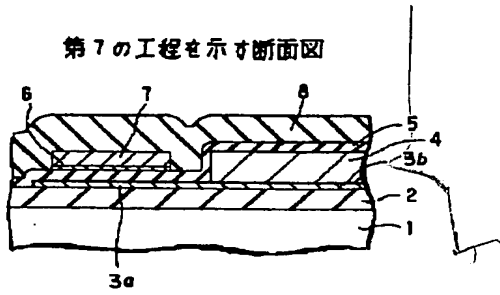
【図7】

第6の工程を示す断面図



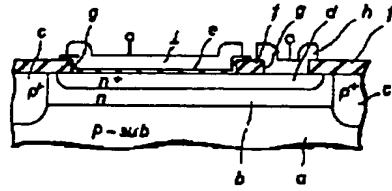
【図8】

第7の工程を示す断面図



【図9】

一つの従来例

(A)
断面図(B)
等価回路